

Citation 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-181313

(43)Date of publication of application : 28.06.1994

(51)Int.Cl.

H01L 29/784

G02F 1/136

H01L 21/324

H01L 21/336

(21)Application number : 04-332703

(71)Applicant : HITACHI LTD.

(22)Date of filing : 14.12.1992

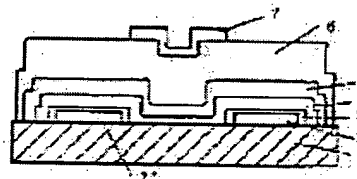
(72)Inventor : KANEKO TOSHITERU  
KIZAWA KENICHI  
MINEMURA TETSUO

## (54) THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To improve the field effect mobility of a TFT and to contrive increase in an ON-current and decrease in an OFF-current by a method wherein an active layer is provided on the surface of an insulated substrate, the above-mentioned active layer has both crystal phase and amorphous phase on the active layer and the insulated substrate, and crystal phase only is present on the upper surface opposing to the active layer.

CONSTITUTION: Cr conductive films 2 and 2' are formed on an insulated substrate 1, and a contact layer 3 is formed on the upper circumference of the conductive films 2 and 2'. The contact layer 3 is photo-etched, and it is formed on a source 2 and a drain electrode 2'. Then, a crystalline nucleus layer 4, on which crystal phase and amorphous phase are mingled, is formed under the state wherein a large quantity of hydrogen radicals are being fed. The amorphous layer is eliminated from the crystalline nucleus layer 4, and crystal phase only is formed on the surface layer part of the crystal growth layer 5. A gate insulating film 6 is formed on the crystal growth layer 5, and a gate electrode 7 is formed thereon. As a result, a thin film TFT, having excellent crystallinity, can be obtained.



## LEGAL STATUS

[Date of request for examination]

07.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-181313

(43)公開日 平成6年(1994)6月28日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 21/324	P	8617-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 H
		9056-4M		3 1 1 Y

審査請求 未請求 請求項の数16(全 10 頁) 最終頁に続く

(21)出願番号	特願平4-332703	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成4年(1992)12月14日	(72)発明者	金子 寿輝 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
		(72)発明者	鬼沢 賢一 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
		(72)発明者	峯村 哲郎 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
		(74)代理人	弁理士 高橋 明夫 (外1名)

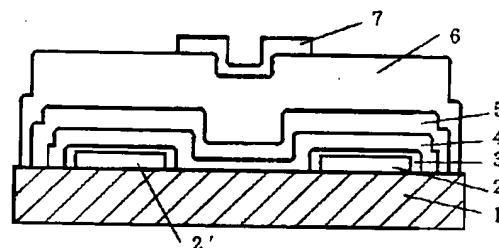
(54)【発明の名称】 薄膜トランジスタとその製法

## (57)【要約】

【構成】絶縁基板1上にゲート電極7、ゲート絶縁層6、ソース2、ドレイン電極2'を有する薄膜トランジスタであって、前記絶縁基板面上に活性層を有し、該層が絶縁基板と接する面では結晶相とアモルファス相とが混在しており、それと対向する上面は結晶相のみからなることを特徴とする薄膜トランジスタ。

【効果】活性層が薄い膜厚で形成できるので、チャネル領域の膜厚の薄TFTが得ることができ、該TFTの電界効果移動度を大幅に向上でき、オン電流の増加とオフ電流の低減を図ることができる。また、上記活性層と絶縁基板との密着性が優れているので、大面積基板においても活性層の剥離がなく、安定な膜のTFTを形成できる。

図 1



1…絶縁基板 2…ソース 2'…ドレイン電極  
3…コンタクト層 4…結晶核層 5…結晶成長層  
6…ゲート絶縁層 7…ゲート電極

## 【特許請求の範囲】

【請求項1】 絶縁基板上にゲート電極、ゲート絶縁層、ソース、ドレイン電極を有する薄膜トランジスタであって、前記絶縁基板上に活性層を有し、該層が絶縁基板と接する面では結晶相とアモルファス相とが混在しており、これと対向する上面は結晶相のみからなることを特徴とする薄膜トランジスタ。

【請求項2】 絶縁基板と、該基板側からソース、ドレイン電極、コンタクト層、活性層、ゲート絶縁層、ゲート電極が形成された正スタガ型の薄膜トランジスタであって、前記活性層が絶縁基板と接する面では結晶相とアモルファス相とが混在しており、これと対向する上面は結晶相のみからなることを特徴とする薄膜トランジスタ。

【請求項3】 絶縁基板と、該基板側から活性層、コンタクト層、ゲート絶縁層、スルーホールを通して該コンタクト層に接続したソース、ドレイン電極、ゲート電極を有するコプラナ型の薄膜トランジスタであって、前記活性層が絶縁基板面と接する面では結晶相とアモルファス相とが混在しており、これと対向する上面は結晶相のみからなることを特徴とする薄膜トランジスタ。

【請求項4】 絶縁基板上にゲート電極、ゲート絶縁層、ソース、ドレイン電極を有するトップゲート型の薄膜トランジスタであって、前記絶縁基板上に活性層を有し、該層が絶縁基板と接する面では結晶相とアモルファス相とが混在しており、これと対向する上面は結晶相のみからなり、前記ソース、ドレイン電極の上部および側面に結晶層を含むコンタクト層を有することを特徴とする薄膜トランジスタ。

【請求項5】 前記活性層が絶縁基板と接する面に粒径3～10nmの結晶を含む結晶核層を有し、その上部に柱状の結晶粒を含む結晶成長層を有する請求項1～4のいずれかに記載の薄膜トランジスタ。

【請求項6】 前記コンタクト層内のドーパントの濃度が膜厚方向ではほぼ一定または活性層側が電極側よりも高濃度である請求項4に記載の薄膜トランジスタ。

【請求項7】 前記活性層が絶縁基板と接する面に1～7%の水素を含む請求項1～6のいずれかに記載の薄膜トランジスタ。

【請求項8】 前記活性層が絶縁基板と接する面に結晶相とアモルファス相とが混在し、その結晶体積分率が10～90%である請求項1～6のいずれかに記載の薄膜トランジスタ。

【請求項9】 前記絶縁基板の少なくとも表層部に微細な結晶Si粒子が分散されている請求項1～8のいずれかに記載の薄膜トランジスタ。

【請求項10】 前記絶縁基板の表面に微細な凹凸が形成されている請求項1～8のいずれかに記載の薄膜トランジスタ。

【請求項11】 前記絶縁基板が至点600℃以下の低

融点ガラスからなる請求項1～8のいずれかに記載の薄膜トランジスタ。

【請求項12】 前記活性層が絶縁基板と接する面に結晶相とアモルファス相とが混在し、該混在層の暗導電率が $1 \times 10^{-10} \text{ S/cm} \sim 1 \times 10^{-6} \text{ S/cm}$ である請求項1～8のいずれかに記載の薄膜トランジスタ。

【請求項13】 絶縁基板上に形成した、ゲート電極、ゲート絶縁層、活性層、ソース、ドレイン電極、コンタクト層を有する薄膜トランジスタの製法において、前記コンタクト層の形成は、電極領域を他の領域よりも選択的に高温に加熱して膜形成とエッチングとを同時または交互に行うことを特徴とする薄膜トランジスタの製法。

【請求項14】 前記電極領域を他の領域よりも選択的に高温に加熱する方法として、誘導加熱方式を用いる請求項13に記載の薄膜トランジスタの製法。

【請求項15】 前記電極領域を他の領域よりも選択的に高温に加熱する方法として、絶縁基板材料と電極材料とのバンドギャップ間の波長を有する光を照射する請求項13に記載の薄膜トランジスタの製法。

【請求項16】 前記活性層の形成は、水素またはフッ素ラジカルの供給とSiラジカルの供給とを同時または交互に行う請求項13に記載の薄膜トランジスタの製法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は薄膜トランジスタおよびその製法に関する。

## 【0002】

【従来の技術】 薄膜技術の進歩に伴い、従来LSIを絶縁基板上に実装することによって持たせていた機能を薄膜トランジスタ(TFT)やダイオードを絶縁基板に直接形成することで実現することが可能になりつつある。

【0003】 例えば、液晶ディスプレイでは、各画素のそれぞれに形成したアモルファスシリコン薄膜トランジスタ(a-SiTFT)でスイッチングすることによってコントラストや画質の向上が可能になってきた。また、ファクシミリやスキャナに用いられている密着型イメージセンサでは、各画素のスイッチや走査回路を絶縁基板上にTFTで作成することによって、必要なLSI数を低減でき、従って、集積度を上げられることから400dpiの高精細読み取りも可能である。

【0004】 しかし、a-SiTFTはスイッチング速度が遅く、高精細のディスプレイやイメージセンサには十分対応できないと云う問題がある。この解決法として、多結晶状態のSi膜をTFTの活性層に用いたpoly-SiTFTが用いられている。しかし、多結晶状態を実現するには高温加熱(600℃程度)が必要であり、それには石英等の耐熱性の絶縁基板を用いなければならないと云う問題があった。

【0005】そこで、成膜性ガスとしてシランを、エッチング性ガスとしてフッ素ガスを含有した反応ガス（水素を含まない）を用い、450℃で多結晶シリコン膜を成長させて結晶Si膜を形成すると言う報告（特開平2-202018号公報）がある。

【0006】さらに、チャンネル層の半導体層を、非晶質半導体層と単結晶シリコン（または多結晶シリコン層）とを交互に積層すると言う報告（特開平3-80569号公報）がある。

【0007】また、TFTの作製には多数のホトマスクが必要なために、製品の歩留りが悪いと言う問題がある。Parsons等によると、モリブデン上にコンタクト層を選択的に形成することでホトエッチング工程を省くことができ、TFTを容易に形できると報告している〔アイビーエム：アイトリプルイー、エレクトロニクス レターズ、13巻12号、1992年：エンハンスド モビリティトップゲート アモルファス シリコン スインフィルム トランジスタオアウイズ セレクティブ デポジテッド ソース/ドレイン コンタクト（IBM：IEEE. Electron Device Letters, Vol.13, No.2, 1992：Enhanced mobility top-gate amorphous silicon thin-film transistor with selective deposited source/drain contacts.）〕。また、インジウム錫オキシサイド（ITO）上にホスフィンドーピングした後に活性層を形成してその活性層の一部を表面反応によりコンタクト層とすることが報告されている〔星電：ジャパン ディスプレイ、1989年、506頁：アンオーミックコンタクト フォーメーションメソッド フォー ファブリケーション エーシリコン ティーフティ オンラージサイズ サブストレート（Japan Display, 1989, p506：An ohmic contact formation method for fabrication a-Si TFT's on large size substrate.）〕。

【0008】

【発明が解決しようとする課題】しかし、フッ素ガスをを用いるとSiの結晶成長を増進するかわりに、結晶核発生が起これにくくなり、膜厚が比較的厚いものを形成しないと、十分に結晶化した膜が得られないと言う問題があった。そのために、結晶性の良好な薄い膜が実現できないため、高移動度と低いオフ電流とを両立することができず、高いON/OFF比を達成できないと言う問題があった。

【0009】また、フッ素ガスをを用いると、ガラス絶縁基板への膜の密着性が小さくなり、膜剥離が発生し易いため、安定的にデバイスが形成できないと言う問題があった。さらに、結晶質層と非晶質層とを積層構造にしたものでは、キャリアの移動度に寄与する結晶相の結晶粒径が小さいため、結晶粒界が障壁となってキャリアがトラップされてしまうと言う欠点があった。

【0010】また、ディスプレイ等の画素部の透明電極

（ITO）上にコンタクト層を選択的に形成することができず、TFT部と画素部と異なる電極構造とする必要があった。さらにまた、表面反応では、ITO中でホスフィンの濃度勾配ができるため十分な注入特性が実現できない欠点があった。

【0011】本発明の目的は、上記の課題を解決した薄膜トランジスタを提供することにある。

【0012】また、本発明の他の目的は、上記薄膜トランジスタの製法を提供することにある。

【0013】

【課題を解決するための手段】前記課題を解決する本発明の要旨は、絶縁基板上にゲート電極、ゲート絶縁層、ソース、ドレイン電極を有する薄膜トランジスタであって、前記絶縁基板面上に活性層を有し、該層が絶縁基板と接する面では結晶相とアモルファス相とが混在しており、これと対向する上面は結晶相のみからなることを特徴とする薄膜トランジスタにある。

【0014】また、前記活性層が絶縁基板と接する面に粒径3～10nmの結晶を含む結晶核層を有し、その上部に柱状の結晶粒を含む結晶成長層を有する薄膜トランジスタにある。

【0015】これを実現するためには、結晶核層の結合水素量を1～7%とし、その上の結晶成長層の結合水素量を1%以下となるよう形成する。活性層中の結合水素量を上記のように制御するためには、層中からの水素引抜きと導入とを制御すればよい。水素引抜きにはフッ素ラジカルを十分に供給するのが有効である。また、水素イオンを除去して水素ラジカルだけを成長面に供給してもよい。

【0016】該結晶核層は、ソース及びドレイン電極上ではソース、ドレイン電極との熱的反応によりコンタクト層を形成してもよい。その際は、該結晶核中にp型またはn型のドーパントを選択的に含むコンタクト層であることが望ましい。

【0017】絶縁基板面での該結晶核層の結晶分率は3～90%がよく、望ましくは10～80%よい。さらに望ましくは10～70%がよい。そして、多数の微結晶粒を含有していることが望ましい。なお、3%未満では絶縁基板面上の結晶核の数が少なすぎて、活性層の上面を完全に結晶相だけとすることができない。また、90%を超えると、結晶粒径が3～10nmと微細なため、結晶核の数が多すぎ、薄い活性層上面の結晶粒径を十分大きく成長させることができない。

【0018】上記活性層中の結晶核層においては、核発生促進元素、例えば、水素を含有し、結晶成長層では上記の核発生促進元素を除去するために、例えば、フッ素を供給する。結果としてフッ素は核発生を抑制することで、結晶成長促進元素として機能することになる。

【0019】結晶核層に含む核発生促進元素としては、H、Heの小半径の元素、Ar、Xeの不活性で比較的

質量の大きい元素等が適している。また、結晶成長促進元素としては、Hとの結合エネルギーが大きく、反応の起こり易いハロゲン元素が望ましい。

【0020】絶縁基板上、例えば、透明電極の周囲にコンタクト層を形成するには、該形成領域を他の領域よりも高温に加熱し、膜形成とエッチングとを同時または交互に実施することによって、選択的に形成することができる。

【0021】上記形成領域を選択的に高温にする手段としては、誘導加熱方式が適している。また、絶縁基板材料と電極材料とのバンドギャップ間のエネルギーを有する光、例えば、波長300nm程度のXec lエキシマレーザを照射することによっても同様の効果が得られる。

【0022】前記結晶核としては、絶縁基板を前処理することによっても形成できる。例えば、絶縁基板表面に微細な凹凸を形成させることにより、該凸部が結晶核となる。また、微細な結晶Siを絶縁基板の少なくとも表層部に予め分散形成したものをを用いてもよい。

【0023】

【作用】絶縁基板面に結晶相とアモルファス相とが混在する層を形成し、結晶分率3～90%の活性層を形成させ、該層から連続的に結晶を成長させると、優先成長方位が非優先成長方位を淘汰して結晶粒の粗大化が起こる。これによって、膜厚が薄くとも活性層の上面部に大きな粒径の結晶相のみを形成することができ、この面上部の結晶相がチャンネル領域となる。

【0024】上記チャンネルのキャリアの移動度は、高い障壁エネルギーによってキャリアを捕獲する結晶粒界をいかに少なくするかによって決まる。即ち、チャンネル領域としては、その結晶粒径が大きいほど高い移動度を実現することができる。

【0025】また、活性層が薄いほどTFTのオフ電流を低減できる。特に、ゲート電極とソース、ドレイン電極とが別の層に在るスタガ構造のTFTにおいては、活性層における電界を緩和できることから、オフ電流の低減効果が顕著となる。なお電界緩和に必要な活性層の膜厚は150nm程度で、この膜厚で大きな結晶粒径が得られるよう基板の結晶核の数、即ち、結晶分率を制御すればよい。

【0026】なお、結晶成長の途中で異なる構造の膜を積層すると新たな結晶核が発生し、粒径の小さい結晶が多数形成され、活性層内の結晶粒界が多くなって移動度を低下させる。

【0027】例えば、RF水素プラズマに曝しながら活性層を形成（堆積）すると、多量の水素ラジカルまたはイオンによって、水素の導入が起こる。これらの程度はRFパワーによって変化する。従って、活性層中の水素量は1～7%の間に制御するのがよい。

【0028】水素を含有するSi活性層をガラス絶縁基

板上に水素プラズマ中で形成すると、Si活性層は微結晶となり、極く薄い層でも結晶粒を多数含んだ活性層となる。これは水素が結晶粒界に偏在してSiH<sub>2</sub>結合を形成し、結晶粒の成長を阻むと共に次の結晶核が発生するためである。従って結晶核層の結合水素量としては、1～7%が望ましい。この場合、粒径3～10nmの結晶の体積分率は3～90%程度となる。結晶の体積分率が変化しても結晶粒径には大きな変化がないことから、結晶核数は結晶分率で制御することができる。

10 【0029】一般的に微結晶化に伴い暗導電率が急激に上昇する。この高暗導電率の結晶核層はTFTのオフ電流を大幅に増加させ、そのON/OFF特性を大幅に劣化させる。従って、結晶核層それ自身は低暗導電率でなければならない。これには、最適なRFパワーを選択し、結晶化に伴い活性層内に形成される未結合手（ダングリングボンド）を水素プラズマから水素を活性層中に導入することによって終端化する。この結晶核層から成長する結晶成長層は、結晶核層よりも結晶分率が高くなるため暗導電率を下げることができ、オフ電流低減に著しい効果がある。

20 【0030】一方、アモルファス層から結晶成長層を形成する場合はアモルファス層から結晶核が発生し、それから結晶粒成長が始まるため、必ず低結晶分率の高暗導電率領域が存在する。従って、それ以外の部分が低暗導電率でも活性層全体の暗導電率が低下し、ON/OFF特性が大幅に低下してしまう。

30 【0031】前記結晶成長層にフッ素系ガスを含むガスを用いて活性層を形成すれば、原料ガスから供給された水素はフッ素と反応し、H<sub>2</sub>やHFとなって抜けるために、活性層中の残留水素量は1%以下となり、核発生が抑えられて結晶粒が成長し易くなる。

【0032】水素を1～7%含有するSi活性層をガラス基板上に形成するには、原料ガス中に比較的多量の水素を供給する必要がある。ガラス基板は水素ラジカルで覆われることになり、フッ素で被われた場合に比較してSi活性層のガラス基板への密着力を増大させることができる。

40 【0033】さらに、結晶核層と結晶成長層との形成は、ガス組成によって調整できる。例えば、SiF<sub>4</sub>ガスとH<sub>2</sub>ガスとの混合ガスを用いた場合、H<sub>2</sub>ガスの流量比が多いと結晶核層が形成され、SiF<sub>4</sub>ガスの流量比が多いと結晶成長層が形成される。

50 【0034】また、同一ガス組成でもプラズマ中のラジカルやイオンの衝突エネルギーによっても変わる。衝突エネルギーの大きいプラズマは衝突によって、結晶核が形成される。逆に、衝突エネルギーの小さいプラズマでは結晶化は起こりにくい。衝突エネルギーを大きくするには、例えば、活性層形成時のガス圧を低くし、プラズマ粒子の平均自由行程を大きくする。逆に、小さくするにはガス圧を高くしてプラズマ粒子の平均自由行程を小

さくする。以上のような作製法によって、ガラスの実用最高温度である歪点が600℃以下のガラス上に良好な活性層を形成することができる。

【0035】膜形成にラジカルによるエッチングを組合せることにより、Si膜の形成の有無と形成速度を制御することができる。特に、エッチング速度は絶縁基板の温度を鋭敏に受け、Si活性層を水素またはフッ素のラジカルでエッチングした場合、低温度ほどエッチング速度が大きい。これを利用して絶縁基板の一部だけを加熱し、その部分だけにコンタクト層を形成することもできる。

【0036】例えば、電極上にだけコンタクト層を形成する場合、外部磁界を加えることによって該電極に流れる誘導電流により電極のみを加熱することができ、これに前記の活性層形成法とエッチング法とを組合せることにより、電極上のみコンタクト層を形成することができる。なお、該電極にはAl、Cr、Ta、Mo、ITO等の導電性材料が用いられる。

【0037】絶縁基板材料と電極材料のバンドギャップ間のエネルギー光を照射することによっても同様の効果がある。通常ガラス基板の光の吸収端は光学バンドギャップが広いだけ電極材料の吸収端よりも短波長側にある。そこで、ガラス基板と電極材料との間の波長を有するレーザ光等を照射すると、電極部のみに吸収が起こり、加熱することができる。

【0038】なお、電極形成後にコンタクト層を形成すると電極の上面だけでなく側面にも形成でき、n型はホールに対して、p型は電子に対して電極を完全にブロックできるのでオフ電流を大幅に低減できる。

【0039】コンタクト層形成に水素アニールによるエッチングを組合せた方法では、Si活性層が水素ラジカルに曝される際、アモルファスSiが一部結晶化するため、微結晶のSiコンタクト層が形成される。これは導電率が高く、ドーピング効率が良好であるため、電極の周囲に形成することでオンオフ電流ともに改善することができる。

【0040】本発明では、形成されるコンタクト層中のドーパントの濃度が厚さ方向でほぼ一定、または、電極側よりもコンタクト層側で増加させることによりオン電流を増加しオフ電流を低減することができる。

【0041】ガラス等のアモルファス成分の多い絶縁基板上で、薄く、かつ、結晶性の良好な活性層を得るには堆積法がよい。堆積法による結晶化のモードには絶縁基板の表面状態に影響されるモード1と、あまり影響をされないモード2に分けることができる。

【0042】モード1は結晶化しにくい、一旦、結晶核が形成されると結晶成長が急速に進行する。一方、モード2は容易に微結晶粒を形成できるが、大きな結晶粒の成長はない。従って、初期はモード2で微結晶粒を形成し、その後、モード1に切替えることにより微結晶粒

を核とし、優先成長方位が柱状に成長した活性層を形成することができる。

【0043】

【実施例】

【実施例1】本発明の一実施例による薄膜トランジスタを図1に示す。ガラス製の絶縁基板1上にCrの導電膜2を形成し、n-MOSの場合のコンタクト層としてホスフィンをドーピングし、n(+)-Si層3を形成する。これをホトエッチングすることにより、ソースおよびドレイン電極を形成した。

【0044】Si活性層が絶縁基板1と接する面では結晶相とアモルファス相とが混在して形成され、該活性層の上面では結晶相のみが形成されるようにするため、2段階に形成する。

【0045】まず、結晶相とアモルファス相とが混在した結晶核層4の形成は、水素ラジカルが多量に供給される条件で形成する。図2にこの方法の一例であるシーケンスを示すが、膜形成と水素ラジカルアニールとを繰返し行う。これは水素プラズマ中にモノシランをパルス状に供給することで実現できる。基板温度300℃、膜形成時間5秒、水素アニール時間60秒、RFパワー150Wの条件で20nm堆積したSi膜は微結晶化し、粒径5~10nmの結晶が結晶分率60%で形成された。また、該膜の結合水素量は4~5%である。

【0046】次いで、結晶核層4に、SiF<sub>4</sub>とH<sub>2</sub>(SiF<sub>2</sub>H、SiF<sub>2</sub>H<sub>2</sub>またはSiF<sub>4</sub>とSiH<sub>4</sub>とH<sub>2</sub>ガスでもよい)のガスを用いてSi膜を積層する。ガス流量はSiF<sub>4</sub>を270sccm (standard cubic centimeter per minute)、H<sub>2</sub>を30sccm、RFパワーを150W、ガス圧2TorrでSi膜を200nm形成した。該膜中の水素はHF、H<sub>2</sub>として排出され膜中の結合水素量は大幅に減少され約1%になる。この結合水素量の低下によって、新たな結晶核発生を抑制する。

【0047】活性層の基板との接触部では等軸晶がアモルファス相と混在し、等軸晶から柱状晶が上部に成長する。等軸晶からは種々の結晶方位が成長するが、優先成長方位が他の柱状晶よりも先に成長するために、活性層上部では同一方位が優勢になる。従って、ここにチャネルを形成すれば、結晶粒界エネルギーが大幅に低減でき、等軸晶の粒界と比較してキャリアである電子とホールのトラップが低減でき、同じ結晶粒径でも電界効果移動度を向上することができる。

【0048】Si膜上にSiNx膜をゲート絶縁膜6として350nm形成した。さらにゲート電極7としてCr(またはAl)膜を200nm形成、加工した。

【0049】このようなトップゲート構造の場合、Si膜の上部とSiNx膜との界面がチャネルとなるため、Si膜上部の結晶性が良好なほど高移動度となり、高いオン電流が期待できる。一方、Si膜厚が厚いほど、粒成長によって結晶性はよくなるが、逆にオフ電流は増加

するのでオンオフ比を改善できない。従って、なるべく薄い膜厚で良好な結晶相を形成する必要がある。

【0050】結晶成長層5の表層部は、結晶核層4からのアモルファス層は消滅して、300nmの膜厚で良好な結晶相を実現できた。これによると、結晶相形成温度350℃、Si膜の膜厚300nmで、電子の電界効果移動度 $35\text{ cm}^2/\text{Vs}$ を実現できた。またオフ電流は $1 \times 10^{-11}\text{ A}$ と著しく低減することができた。 \*

\*【0051】上記TFT素子と他の方法で作製したTFT素子との特性比較を行った結果を表1に示す。

【0052】比較例1は、活性層下部がアモルファス相で、その上が結晶核層と粒成長層を有する場合、比較例2は、多結晶相とアモルファス層とを交互に積層した活性層を有する場合である。

【0053】

【表1】  
表 1

		活性層* (膜厚nm)	電界効果移動度 ( $\text{cm}^2/\text{Vs}$ )	オフ電流 (A)
実施例	1	200	35	$1 \times 10^{-11}$
比較例	1	700	40	$1 \times 10^{-9}$
	2	200	1	$1 \times 10^{-11}$

\* 比較例1: poly-Si/a-Siの二層構造

比較例2: poly-Si/a-Siの多層構造

【0054】ガラス基板面上からすぐに結晶成長層を形成すると100~150nmはアモルファス相が生成し、その後に核発生して結晶が成長し始める。そのために良好な結晶相は500~800nmの厚膜の形成が必要である。その結果、オフ電流が高くなりオンオフ比が悪くなる。

【0055】また、結晶相とアモルファス相とを交互に積層する構造では、アモルファス相によってオフ電流は低くなるが、主にキャリアが走行する結晶相が微結晶であるため、結晶粒界の障壁エネルギーによるトラップによって電界効果移動度が小さくなる。

【0056】活性層の結晶核層4として微結晶Siを含む膜を用いた場合、その暗導電率を十分低くする必要があるが、一般には、微結晶Siによって暗導電率が上昇してしまい活性層に適さない。しかし、膜形成パラメータのうち、特に、RFパワーを最適化することによって活性層に適した暗導電率を実現できることを見出した。

【0057】図3は、暗導電率とRFパワーとの関係を示すグラフである。RFパワーによって結晶の体積分率が増加するに伴い暗導電率が急激に増加し、一般的なpoly-Si膜よりも高くなる。しかし、さらにRFパワーを増加させると、結晶の体積分率は変わらないが180W程度で暗導電率は極小値を示し、a-Si膜と同程度まで低くなる。結晶の体積分率も60%以上あり、結晶核層として最適な膜が得られる。

【0058】モノシランと水素とを用いて形成した膜は、基板への密着力が優れている。図4はガラス基板上

に( $\text{SiF}_4 + \text{H}_2$ )で形成した場合と、( $\text{SiH}_4 + \text{H}_2$ )と( $\text{SiF}_4 + \text{H}_2$ )とで連続して形成した場合の膜の基板への密着強度をスクラッチ試験で比較した結果である。いずれも10nm膜で、前者に対して後者は約2.5倍の密着強度が得られた。また、100mm角の大形基板に適用した場合、前者の膜は一部に剥離が発生したが、後者の膜には剥離等は全く認められなかった。

【0059】なお、本実施例は正スタガ構造のTFTに基づき説明したが、トップゲート型または、ソース、ドレインおよびゲート電極が同一面内に形成されたコブレナ型のTFTでも同様な効果が得られる。

【0060】〔実施例2〕結晶核層4と結晶成長層5を別個に形成する場合の一実施例を示す。基板温度350℃、RFパワー150W、ガス圧1Torrで $\text{SiF}_4$  30sccm、 $\text{H}_2$  90sccm、 $\text{SiF}_4$ : $\text{H}_2$ 流量比が1:3の条件で、結晶粒径10nm以下で結晶の体積分率50%の結晶核層4を形成した。

【0061】次に、 $\text{SiF}_4$ : $\text{H}_2$ 流量比が3:1と $\text{SiF}_4$ を多くすることにより結晶成長層5が得られた。

【0062】さらに、 $\text{SiF}_4$  300sccm、 $\text{H}_2$  100sccmの流量で、ガス圧を0.4Torrに設定することによって、結晶分率が75%の結晶核層を形成し、ガス圧を2Torrに設定すると結晶成長層が形成できた。

【0063】〔実施例3〕図5はソース2およびドレイン電極2'としてパターンニングしたITO上にコンタク

ト層3である $n(+)-Si$ 膜を選択形成し、さらに前記の活性層を形成したTFETの断面図を示す。

【0064】なお、上記のITO上に $n(+)-Si$ 膜を選択形成するため、ガラス基板面上に微結晶を含む層を、図2に示すような膜形成と水素アニールとを繰り返す膜形成法で形成した。この場合の膜形成の温度依存性を図6に示す。

【0065】図6から分かるように、膜形成速度にはほとんど温度の影響は無く一定である。これに対し、水素アニールによる膜のエッチング速度は低温側ほど高くなる。そこで、基板の一部を選択的に加熱することによって基板上に温度 $T_1$ 、 $T_2$ （但し、 $T_1 < T_2$ ）を設定し、温度 $T_2$ のみに膜を形成することができた。これは $T_1$ 部ではエッチング速度が膜形成速度を上回るためである。なお、 $T_1$ は $200^\circ\text{C}$ 、 $T_2$ は $270^\circ\text{C}$ である。

【0066】膜の選択形成傾向は、図2のアニール時間が長い程顕著である。30秒ではそれほど差がないが、60秒以上では明らかに選択性が認められるようになる。また、アニール時間が60秒以上の場合は、上記 $T_1$ 、 $T_2$ のように温度差を設けなくとも得ることができるが、アニール時間が長くなって膜形成の全体時間も長くなり、スループットが低下するので温度差を設ける方が有利である。

【0067】これによって、暗導電率が高く、ドーピング効率の高い $n(+)-Si$ 膜を形成することができる。図3に示したようにRFパワー60W程度で $Si$ 膜を形成すると、ドーピングなしで暗導電率は $1 \times 10^{-2} \text{ S/cm}$ 、これにホスフィン $0.5\%$ 添加することにより2~3桁暗導電率を向上することができる。

【0068】また、高効率コンタクト層は電極を選択的に加熱することにより電極側面にもコンタクト層を形成することができる。これによって $n-MOS$ 型の場合、ホールであるマイノリティキャリアの電極への注入を完全にブロックできることからオフ電流を十分低減できる。

【0069】さらにまた、電極との界面だけでなく、コンタクト層全体にホスフィン $0.5\%$ をドーピングできるように、キャリアの電極への注入が十分なされ、オン電流が増加でき、オンオフ比を向上させることができる。

【0070】〔実施例4〕 $Si$ 膜の結晶構造を制御するための下地層として、絶縁基板中に $Si$ 膜の結晶核となる種結晶を均一に分散させた下地層を形成する方法について示す。

【0071】シラノール化合物の溶液に、 $Si$ 超微粉末を所定量混入したものを用いる。この際粉末が濡れにくい場合には、粉末を界面活性剤で処理するのがよい。この粉末混合液を超音波中で一定時間攪拌して $Si$ 粉末を均一分散させる。これをスピノン、ディップ、スプレー、ロールコート等の方法でガラス基板上に均一に塗布する。

【0072】次に、 $100^\circ\text{C}$ 、30分加熱して溶剤を除き、 $250^\circ\text{C}$ 、1時間ベークすることによりシラノール化合物を重合させガラス化させる。さらに、 $450^\circ\text{C}$ で焼成して緻密な下地層を形成することができる。上記の $Si$ 微粉末がアモルファス状態であっても、緻密化の際に結晶化される。図7に下地層8上に結晶 $Si$ 膜を成長させた基板の模式断面図を示す。

【0073】結晶核の $Si$ 粒子は基板1の表面に形成した下地層8中に均一に分散されており、表面に現れた $Si$ 粒子9が結晶核となる。膜形成は、基板上温度で最高 $400^\circ\text{C}$ 程度のプラズマCVDがよい。特に、膜形成中に活性な水素ラジカルを多量に供給できるよう、原料ガスのモノシランを水素で $1/20 \sim 1/50$ に希釈したものがよい。

【0074】供給した水素ラジカルが $Si$ 膜と反応することによって、膜中から水素を引き抜き、結晶化し易くなる。この際、 $Si$ 粒子により結晶化が進行し、膜厚 $200 \text{ nm}$ 程度で膜最表層部の結晶の体積分率を $100\%$ にできる。しかも該膜へのプラズマダメージを低下させる条件で膜形成させると結晶成長中の核発生を抑えることができ、下地層から大きな結晶粒を成長させることができる。

【0075】上記の図7の下地層8を有する基板を用いて、 $Al$ 膜でソース、ドレイン電極を $300 \text{ nm}$ 、コンタクト層を $50 \text{ nm}$ 形成する。活性層として $Si$ の結晶成長層を約 $200 \text{ nm}$ 形成しソースとドレイン電極間のチャネル形成領域だけを優先的に結晶化させる。

【0076】次に、連続してゲート絶縁層として $SiN_x$ を $350 \text{ nm}$ 形成し、最後に $Al$ を $300 \text{ nm}$ 形成してゲート電極としトップゲート型の正スタガTFETを作製した。本薄膜トランジスタではチャネルを形成する活性層（結晶成長層）とゲート絶縁層の界面で良好な結晶 $Si$ 膜が得られ、高い電界効果移動度が実現できた。

【0077】図8は、基板面上に微細な凹凸を形成して $Si$ 膜を成長したときの模式図である。 $Al$ 膜の島状膜をドライエッチングにより形成し凹凸化した。図9

(b)に示すように、凹凸基板10上に $Si$ 膜を成長させると、凸部が結晶核となり優先的に膜厚方向に結晶成長層5が形成する。凹部では、アモルファス状態の多い膜が形成される。約 $100 \text{ nm}$ の膜厚において、アモルファス相11は結晶成長部分に吸収され、活性層上部ではすべて結晶相となる。

【0078】なお、凹凸を形成しない場合は、図9(a)に示すように、まず、基板1上にアモルファス相11が形成され、結晶相は膜厚をかなり厚く形成しなければ形成されない。

【0079】

【発明の効果】本発明により、活性層が薄い膜厚で形成できるので、チャネル領域の膜厚の薄TFETが得ることができ、該TFETの電界効果移動度を大幅に向上でき、



オン電流の増加とオフ電流の低減を図ることができる。

【0080】また、上記活性層と絶縁基板との密着性が優れているので、大面積基板においても活性層の剥離がなく、安定な膜のTFTを形成できる。

【図面の簡単な説明】

【図1】実施例1の正スタガ型TFTの模式断面図である。

【図2】活性層の形成時のシーケンスである。

【図3】Si膜の暗導電率とRFパワーとの関係を示すグラフである。

【図4】膜形成方法の違いによるガラス基板への膜の密着強度を示す棒グラフである。

【図5】実施例3の正スタガ型TFTの模式断面図であ\*

＊る。

【図6】膜形成速度およびエッチング速度と基板温度との関係を示すグラフである。

【図7】下地層を有する基板とそれにより形成された活性層の模式断面図である。

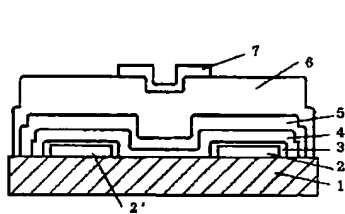
【図8】活性層に対する基板の微細凹凸処理効果を示す模式断面図である。

【符号の説明】

1…絶縁基板、2…ソース、2'…ドレイン電極、3…コンタクト層、4…結晶核層、5…結晶成長層、6…ゲート絶縁層、7…ゲート電極、8…下地層、9…Si粒子、10…凹凸基板、11…アモルファス相。

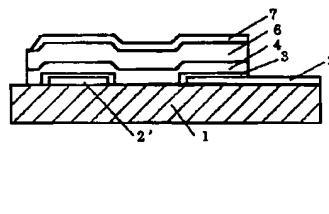
【図1】

図 1



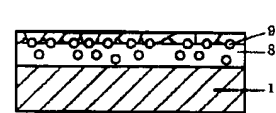
【図5】

図 5



【図7】

図 7

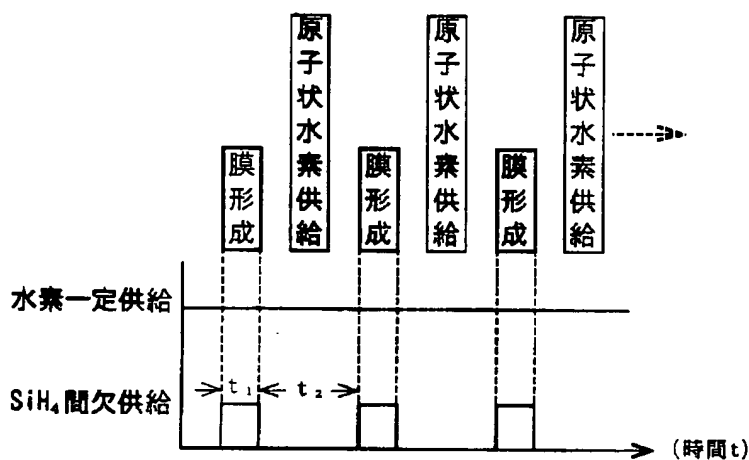


8…下地層 9…Si粒子

1…絶縁基板 2…ソース 2'…ドレイン電極  
3…コンタクト層 4…結晶核層 5…結晶成長層  
6…ゲート絶縁層 7…ゲート電極

【図2】

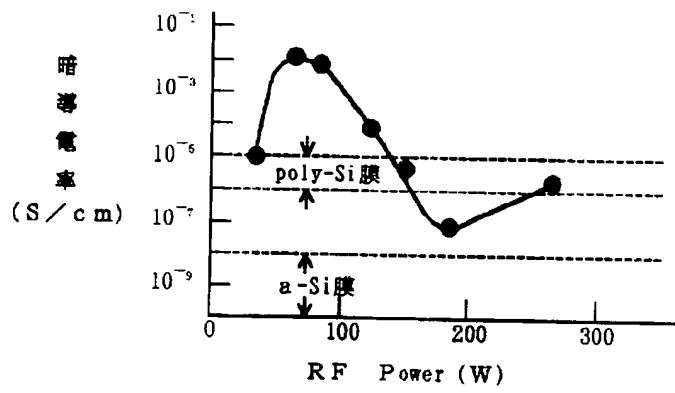
図 2



t<sub>1</sub>: 成膜時間、t<sub>2</sub>: アニール時間

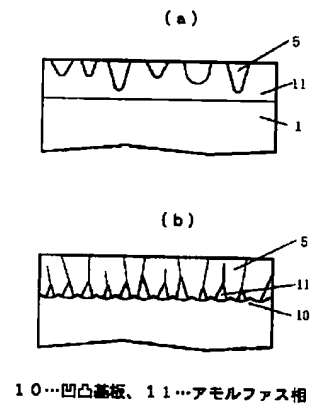
【図3】

図 3



【図8】

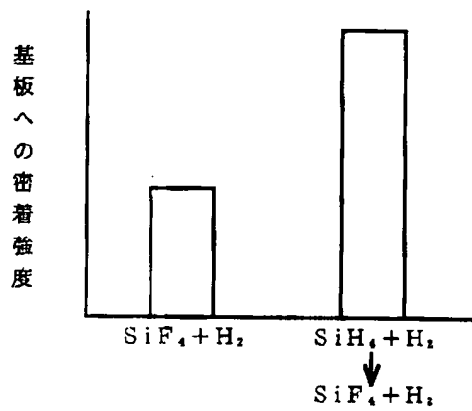
図 8



10...凹凸基板、11...アモルファス相

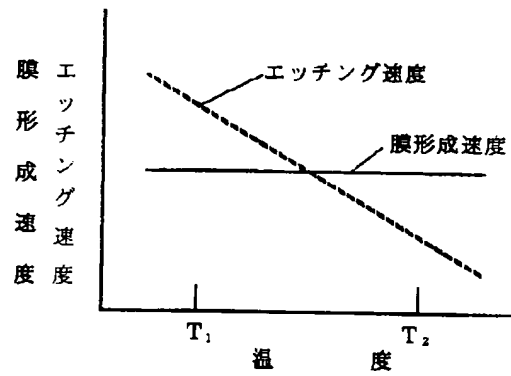
【図4】

図 4



【図6】

図 6



---

フロントページの続き

(51)Int.Cl.<sup>5</sup>  
H01L 21/336

識別記号 庁内整理番号 F I

技術表示箇所